

RISC-V対応JTAGデバッガ

adviceXross for RISC-V

RISC-Vシステム開発でデバッグ・検証を効率化し、開発時間の短縮、品質の向上をサポートします。

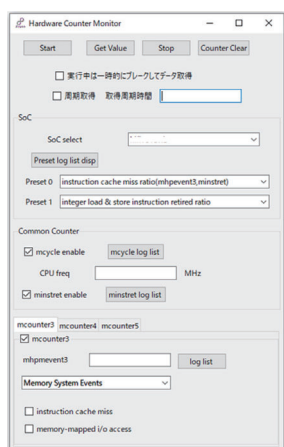
- ソフトウェアブレーク/Triggerを使用した実行制御
- リセットベクタからのデバッグ
- 汎用レジスタ、CSRレジスタのRead/Write
- デバッガスクリプト、Pythonによる繰り返し操作やデバッグ操作の自動化
- MMU (SV39) 環境下での論理アドレス/物理アドレスを意識しないデバッグ
- Vector Extension、カスタム命令対応
- LinuxなどOSデバッグを行うためのオプション機能



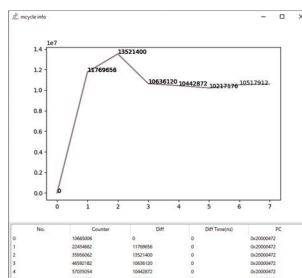
※HPMとPMP機能については、今後対応予定です

ハードウェアパフォーマンスモニタ (HPM) による性能評価をサポート

adviceXrossを用いれば、RISC-Vコアが内蔵するハードウェアパフォーマンスモニタを有効活用できます。二点間時間測定、実行命令プロファイルやプリセットイベントを使用する事であらかじめ用意された情報を計測する事も可能です。取得したデータはCSV出力可能です。



設定画面ではSoC/IP毎に用意されたプリセットイベントやモニターイベントを選択してHPM取得のための設定を容易に行えます。
SoC/IP毎の設定やプリセットイベントやモニターイベント定義はユーザー独自の定義が可能でSoC/IPの測定機能を最大限に引き出せます。



サイクルカウント情報では特定区間のサイクル数特定事象をトリガとしたサイクル数を測定しチャート表示、実行時間、差分時間の情報を可視化することができます。
プリセットイベントでは実行命令数、キャッシュミスからキャッシュヒット率を計算し可視化します。

No.	x	y	calc result	opt
0	586187	8206623	0.0714285279097139	0
1	1200349	16804897	0.07142852467349249	0
2	4298500	60179003	0.0714285676776611	0
3	4973957	69635413	0.07142855604231141	0
4	6808358	95317018	0.07142856693229745	0

メモリプロテクション状態を把握

安全なシステムを構築するためにメモリ保護の適切な設定は欠かせません。Physical Memory Protectionの設定状態を可視化し適切なメモリ保護をサポートします。

No.	Start Address	End Address	Lock	Executable	Write	Read	Address-matching
0	0x20000000	0x2000ffff	0	0	0	0	NAPOT
1	0x40000000	0x4000ffff	0	0	0	0	NAPOT
2	0x0	0x1ffffff	0	1	1	1	Disabled
3	-	-	0	0	0	0	Disabled
4	-	-	0	0	0	0	Disabled
5	-	-	0	0	0	0	Disabled
6	-	-	0	0	0	0	Disabled
7	-	-	0	0	0	0	Disabled
8	-	-	0	0	0	0	Disabled
9	-	-	0	0	0	0	Disabled
10	-	-	0	0	0	0	Disabled
11	-	-	0	0	0	0	Disabled
12	-	-	0	0	0	0	Disabled
13	-	-	0	0	0	0	Disabled
14	-	-	0	0	0	0	Disabled
15	-	-	0	0	0	0	Disabled

マルチコア環境のサポート

adviceXross一台で様々なコア構成のデバッグを行うことが可能です。AMP構成デバッグでは複数のデバッガを起動してコア毎にデバッグを行います。コア間で通信する環境では協調デバッグを行うことも可能です。
SMP構成デバッグではデバッグは1画面で協調制御が可能です。各コアの状態はコアセクタで選択してレジスタやメモリの状態を確認できます。

