



Zynq Ultrascale+
パケット生成 IP 導入手順書

【ご注意】

- (1) 本書の内容の一部または、全部を無断転載することは禁止されています。
- (2) 本書の内容については、改良のため予告なしに変更することがあります。
- (3) 本書の内容について、ご不明な点やお気付きの点がございましたら、ご連絡ください。
- (4) 本製品を運用した結果の影響については、(3)項にかかわらず責任を負いかねますのでご了承ください。

本マニュアルに記載されている企業名、システム名、製品名は、各社の商標または登録商標です。
なお、本文中では、TM、R マークは明記していません。

©2016 DTS INSIGHT CORPORATION. All rights reserved

Printed in Japan

改訂履歴

版	発行日付	変更内容
第 1 版	2016.11.30	新規発行

目次

1	はじめに.....	1
2	既存プロジェクトへのパケット生成 IP 組み込み手順.....	2
2.1	パケット生成 IP 組み込み準備.....	2
2.2	パケット生成 IP の登録.....	2
2.3	パケット生成 IP の接続.....	4
2.4	パケット生成 IP の配置アドレス範囲の設定.....	9
2.5	パケット生成 IP の XDC ファイルの追加.....	10
2.6	プロジェクトの再コンパイル及び FPGA プログラミング.....	11
3	パケット生成 IP 信号仕様.....	12
4	FPGA 内部リソース消費数.....	13

1 はじめに

本書では、adviceLUNA/TRQerS/TRQerAM システムマクロトレース（以下 SMT）のパケットインターフェースに対応するためのパケット生成 IP について、Zynq Ultrascale+への導入手順を説明します。

パケットインターフェースは以下の 2 種類があります。

- 1) 6 線式パケットインターフェース
- 2) 4 線式パケットインターフェース

また、本書では、以下環境での導入手順を例に記載しています。

- ・開発ツール:Vivado 2016.2
- ・対象ボード:Xilinx 社純正の Zynq Ultrascale+評価ボード” ZCU102”

2 既存プロジェクトへのパケット生成 IP 組み込み手順

2.1 パケット生成 IP 組み込み準備

任意の場所に Zynq Ultrascale+パケット生成 IP(以下)の解凍ファイルをコピーします。

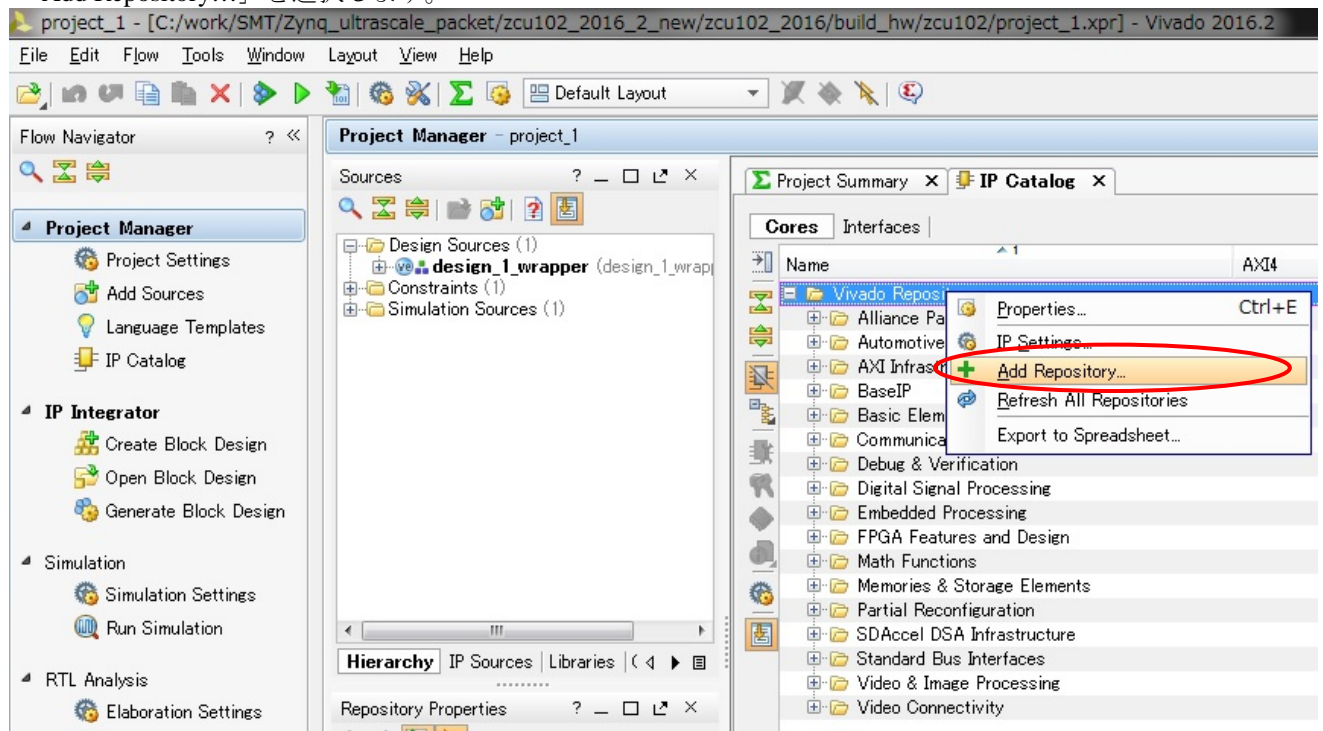
6 線式パケット生成 IP 名 : dts-insight.co.jp_user_smt_packet_6wire_zynqplus_axi_lite_slave_*.zip

4 線式パケット生成 IP 名 : dts-insight.co.jp_user_smt_packet_4wire_zynqplus_axi_lite_slave_*.zip

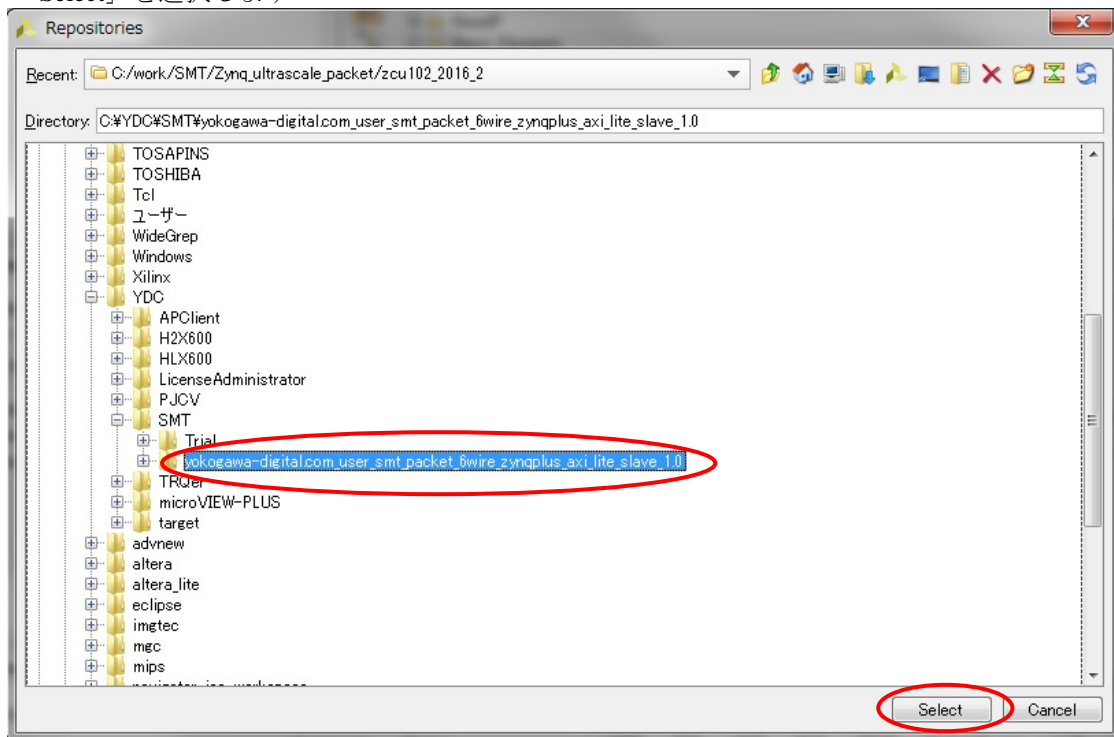
*:バージョンにより異なります。

2.2 パケット生成 IP の登録

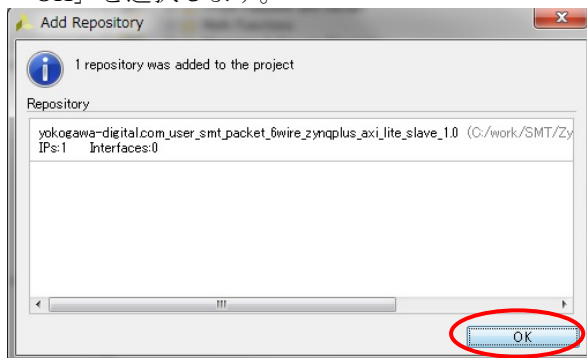
パケット生成 IP を組み込む対象となる既存プロジェクトを開き、IP Catalog 上で「右クリック」→「Add Repository...」を選択します。



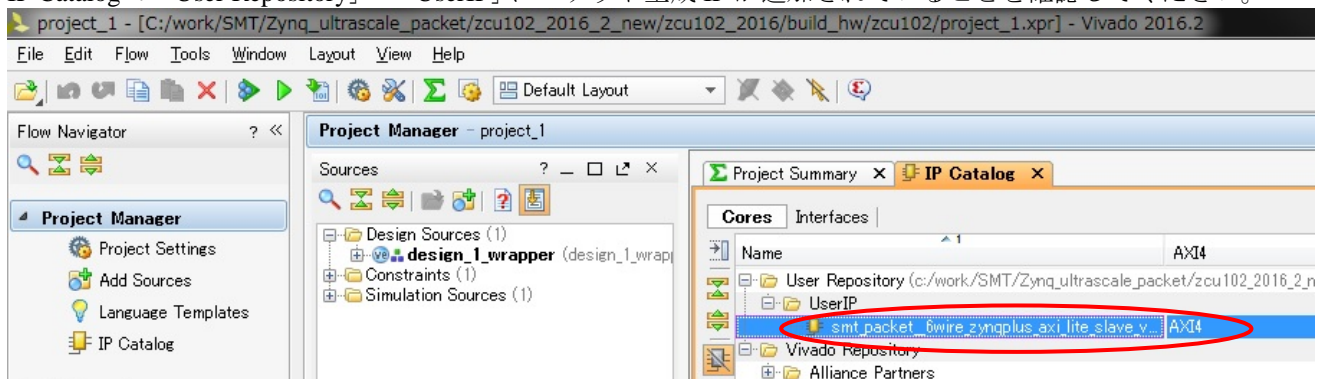
「2.1 パケット生成 IP 組み込み準備」で準備したファイルを選択し、
「Select」を選択します



「OK」を選択します。



IP Catalog の「User Repository」→「UserIP」にパケット生成 IP が追加されていることを確認してください。

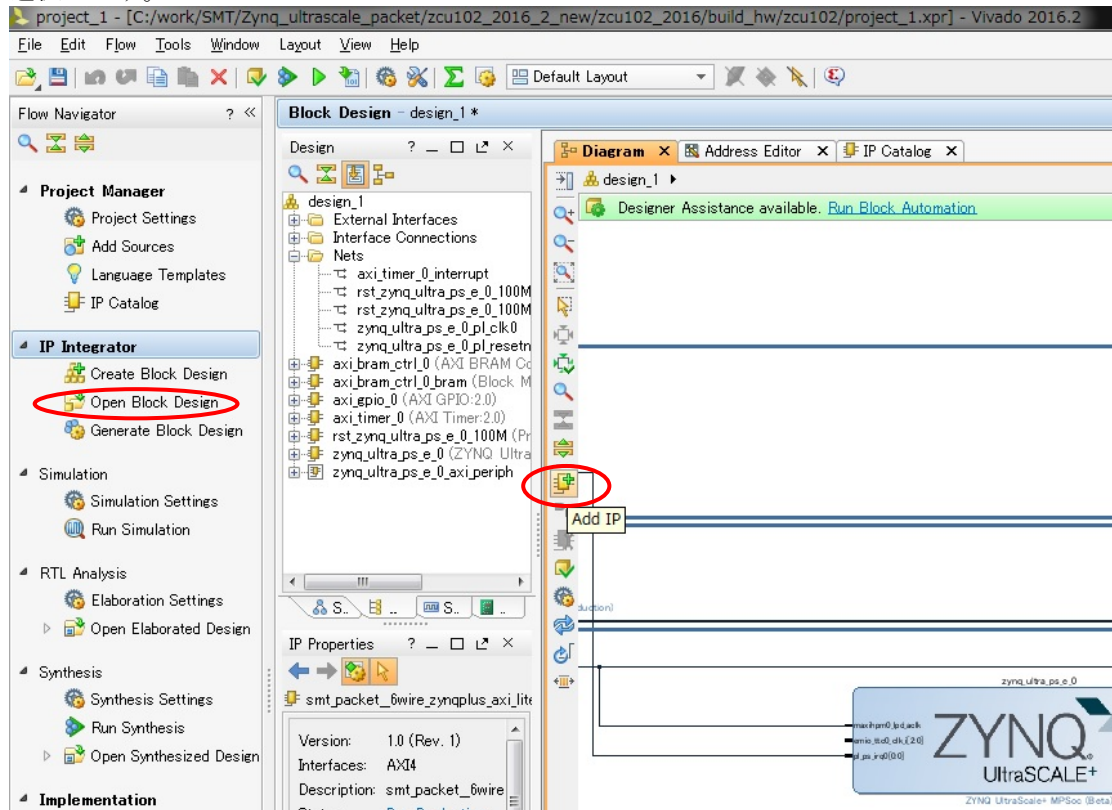


以上で IP の登録は終了です。

2.3 パケット生成 IP の接続

IP Integrator を使用して既存プロジェクトにパケット生成 IP を接続する例について記載します。

IP Integrator の「Open Block Design」を選択して Diagram 画面を表示させ、Diagram 画面の「Add IP」を選択します。



「2.2 パケット生成 IP の登録」で登録したパケット生成 IP を選択します。

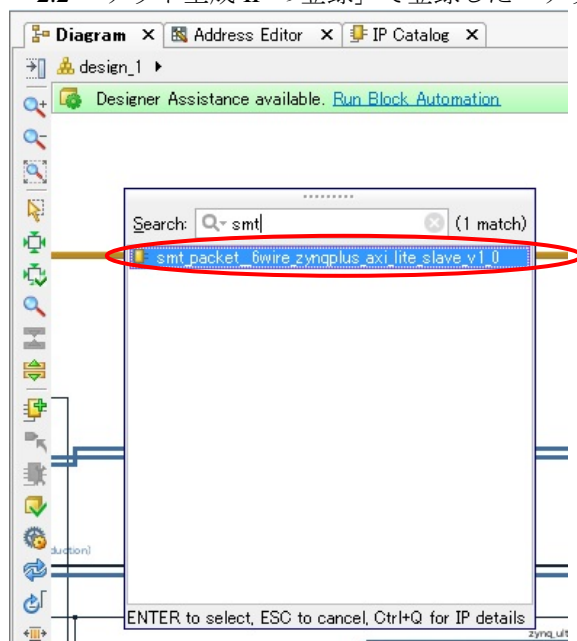
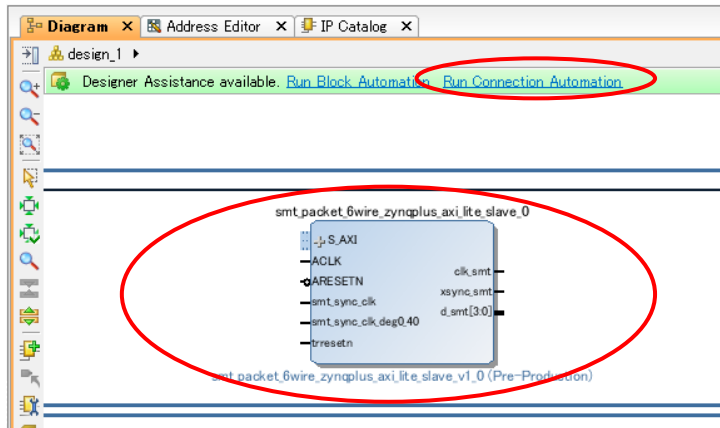
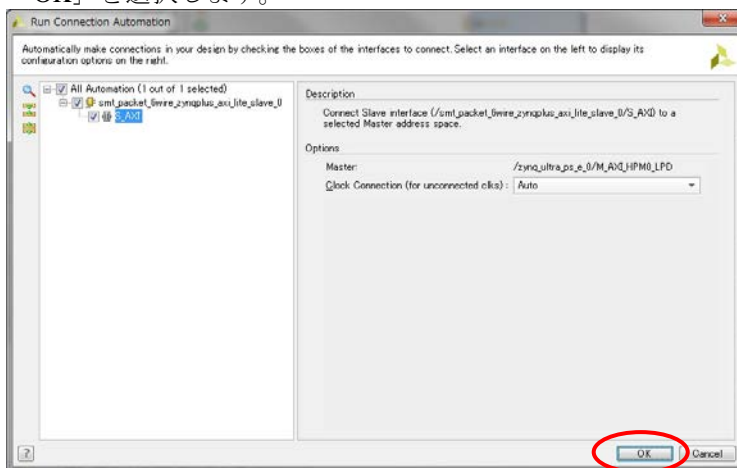


Diagram 画面上にパケット生成 IP が表示されます。

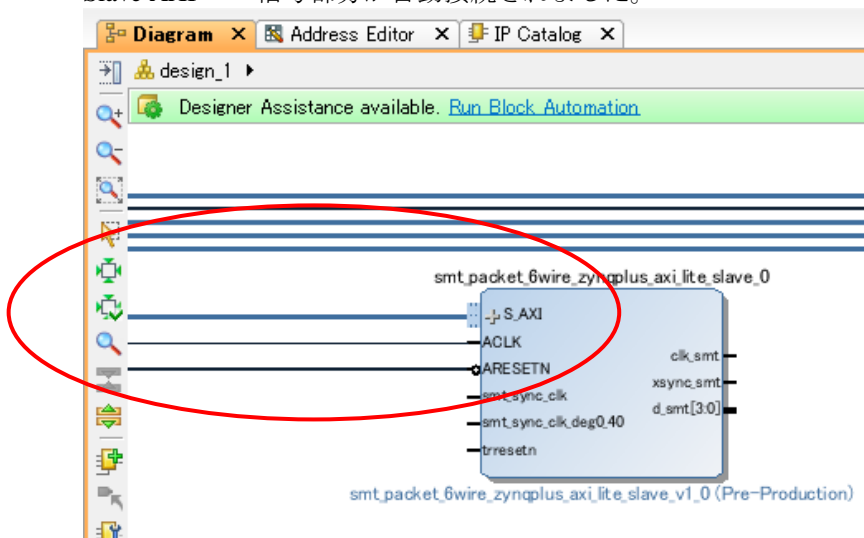
次に「Run Connection Automation」を選択し、一部信号を自動接続させます。



「OK」を選択します。



Slave AXI バス信号部分が自動接続されました。



次にパケット論理出力側の同期 CLK(smt_sync_clk)、(smt_sync_clk_deg0_40)、Reset(trresetn)を接続します。

- **smt_sync_clk**

「ACLK」を接続するか「ACLK」より高い周波数(Max:100MHz)のクロックを接続してください。

- **smt_sync_clk_deg0_40**

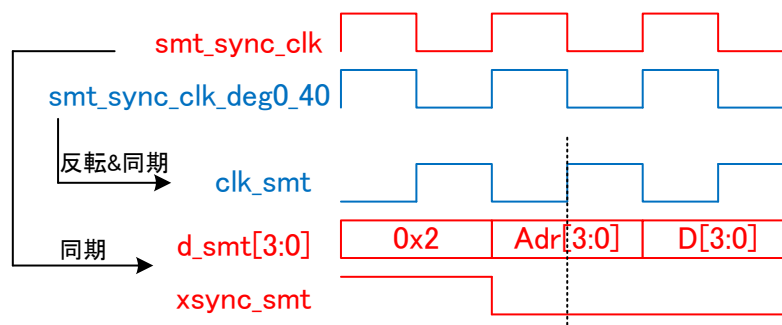
「smt_sync_clk」もしくは「smt_sync_clk」を位相シフトさせた信号を接続してください。

まずは、「smt_sync_clk」と同じ信号を接続し、SMT上でデータが化けて見られる等、正しく取られない場合は、「smt_sync_clk」を40°位相シフトさせた信号を接続することを推奨致します。詳細なタイミング調整が必要な場合は、以下をご覧ください。

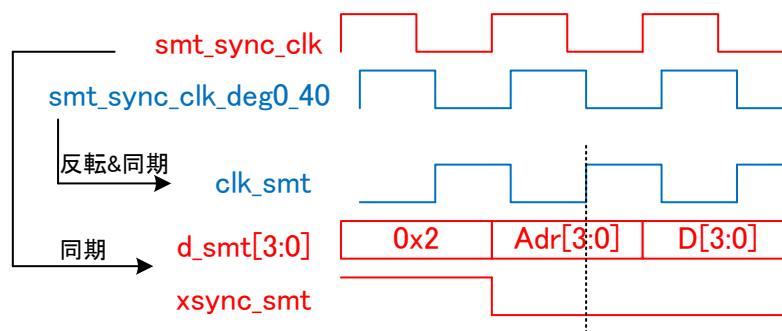
SMTのコネクタに出力するパケット信号のタイミング調整について

SMTのパケットインターフェースプロンプ(AQ721等)の要求AC特性を満足できない場合、smt_sync_clk_deg0_40に与えるクロックの位相を変えることで、タイミングを調整することができます。

- smt_sync_clkと同じ信号を接続した場合の、パケット信号出力タイミング
→clk_smtの立ち上がりがd_smt/xsync_smtの中央にきます。



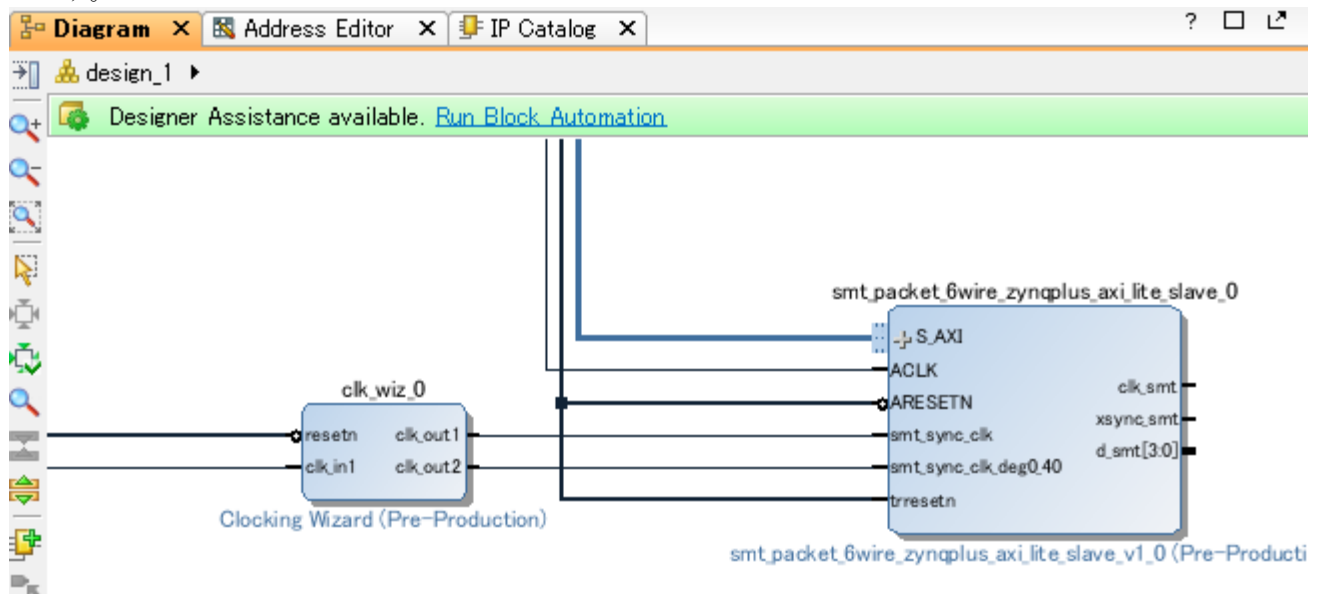
- smt_sync_clkの40°位相シフトさせた信号を接続した場合のパケット信号タイミング
→clk_smtの立ち上がりがd_smt/xsync_smtの中央より右側にきます
(セットアップタイムのマージンが大きくなります)



- **trresetn**

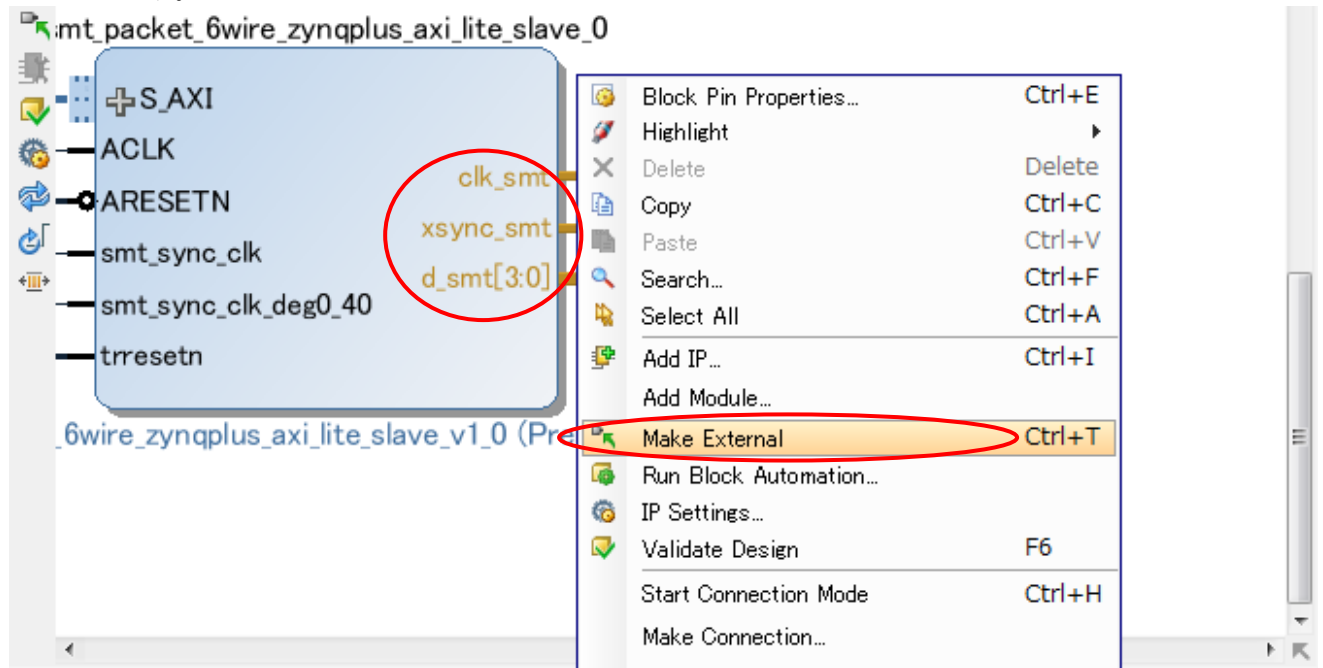
smt_sync_clkに同期したリセットを接続してください。
Active-Lowの信号です。

以下接続例です。PLL を使用し clk_out1 と clk_out1 の 40° 位相をシフトした信号(clk_out2)を接続しています。

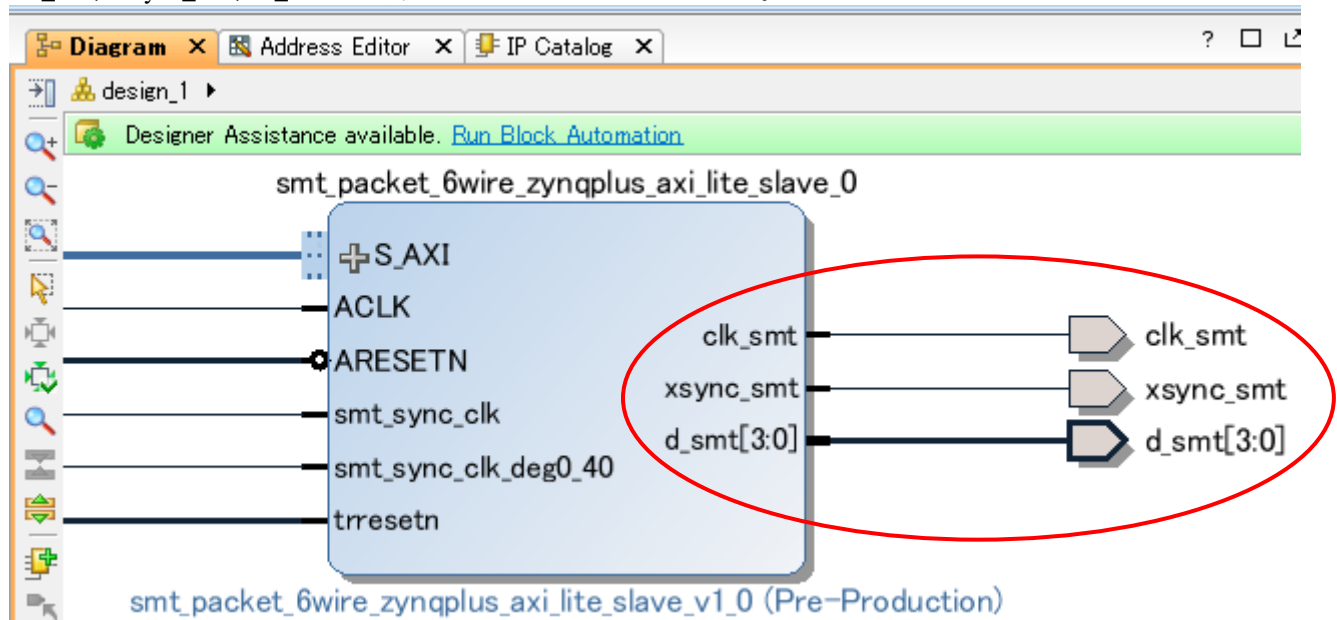


最後に adviceLUNA/TRQer I/F 信号を接続します。

Ctrl キーを押しながら clk_smt, xsync_smt, d_smt を複数選択し「右クリック」→「Make External」を選択します。



clk_smt, xsync_smt, d_smt が外部ポートにアサインされました。

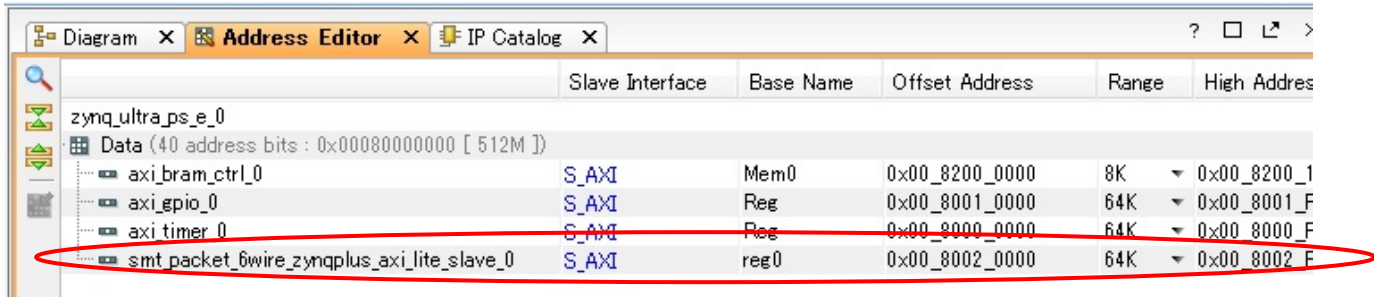


信号の接続は以上で終了です。

2.4 パケット生成 IP の配置アドレス範囲の設定

Address Editor を選択し、パケット生成 IP の Offset Address を確認します。

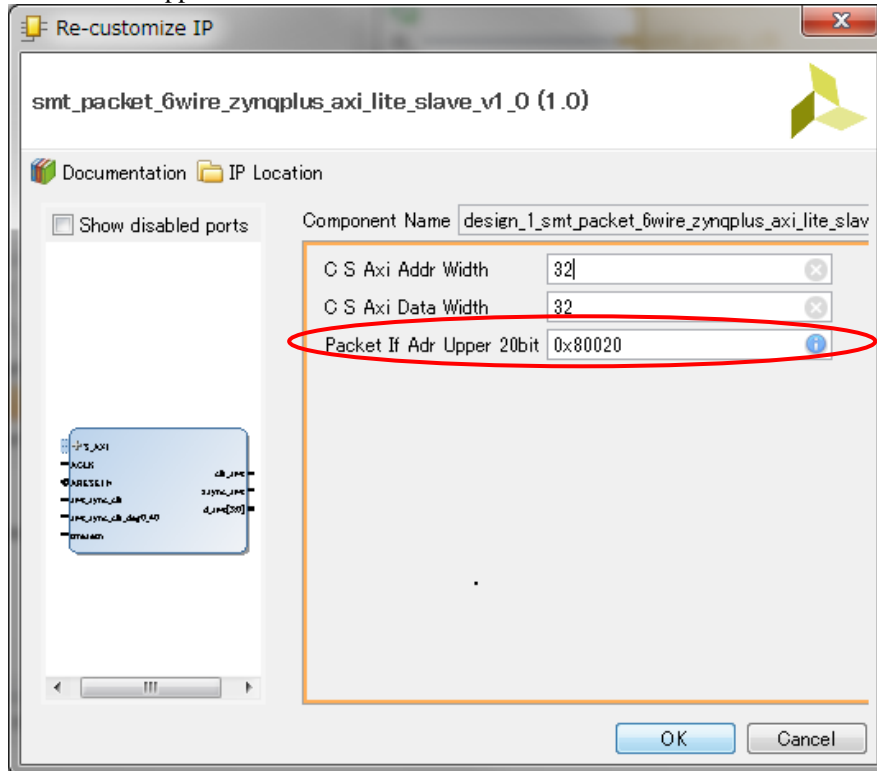
これは、前章の「Run Connection Automation」を実行した際に割り振られたものです。



	Slave Interface	Base Name	Offset Address	Range	High Address
zynq_ultra_ps_e_0					
Data (40 address bits : 0x00080000000 [512M])					
axi_bram_ctrl_0	S_AXI	Mem0	0x00_8200_0000	8K	0x00_8200_1000
axi_gpio_0	S_AXI	Reg	0x00_8001_0000	64K	0x00_8001_F000
axi_timer_0	S_AXI	Reg	0x00_8000_0000	64K	0x00_8000_F000
smt_packet_6wire_zynqplus_axi_lite_slave_0	S_AXI	reg0	0x00_8002_0000	64K	0x00_8002_F000

次に Diagram 上に配置しているパケット生成 IP をダブルクリックして以下の画面を開きます。

Packet If Adr Upper 20bit 欄に上記で確認したアドレスの上位 20bit を記載し、「OK」を選択してください。



2.5 パケット生成 IP の XDC ファイルの追加

参考 xdc ファイル(以下)を、お客様の環境に合わせて pin アサイン等を変更し、お客様のプロジェクトに追加してください。(xdc ファイルの追加方法は Xilinx 社開発ツール(Vivado)のマニュアルをご参照ください)

6 線式用参考 xdc : smt_packet_6wire_zynqplus_axi_lite_slave.xdc

4 線式用参考 xdc : smt_packet_4wire_zynqplus_axi_lite_slave.xdc

なお参考ファイルの pin アサインは、Xilinx 社純正の Zynq Ultrascale+評価ボード” ZCU102” の PMOD0(J55) にアサインしております。(以下に詳細を記載します)

参考 xdc ファイルの adviceLUNA/TRQer I/F 信号接続(6 線式用)

XCZU9EG (U1)Pin	Schematic Net Name	Pin Assigned	I/O Standard	PMOD Pin
B20	PMOD0_1	d_smt[3]	LVC MOS33	J55.3
A22	PMOD0_2	d_smt[1]	LVC MOS33	J55.5
A21	PMOD0_3	xsync_smt	LVC MOS33	J55.7
C21	PMOD0_5	d_smt[2]	LVC MOS33	J55.4
C22	PMOD0_6	d_smt[0]	LVC MOS33	J55.6
D21	PMOD0_7	clk_smt	LVC MOS33	J55.8

参考 xdc ファイルの adviceLUNA/TRQer I/F 信号接続(4 線式用)

XCZU9EG (U1)Pin	Schematic Net Name	Pin Assigned	I/O Standard	PMOD Pin
A22	PMOD0_2	d_smt[1]	LVC MOS33	J55.5
A21	PMOD0_3	xsync_smt	LVC MOS33	J55.7
C22	PMOD0_6	d_smt[0]	LVC MOS33	J55.6
D21	PMOD0_7	clk_smt	LVC MOS33	J55.8

2.6 プロジェクトの再コンパイル及び FPGA プログラミング

パケット生成 IP の組み込みが終了しましたら、プロジェクトを再コンパイルし、bitstream ファイルの生成及び FPGA へのプログラミングを実施します。

(操作方法については Xilinx 社開発ツール(Vivado 及び SDK)のマニュアルをご参照ください)

以上で、パケット生成 IP の導入手順は終了です。

3 パケット生成 IP 信号仕様

信号名	I/O	説明
ACLK	I	AXI Slave 信号 信号の仕様については Xilinx 社 Zynq ultrascale+ の マニュアルをご覧ください。
ARESETN	I	
S_AXI_AWADDR	I	
S_AXI_AWADDR	I	
S_AXI_AWPROT	I	
S_AXI_AWVALID	I	
S_AXI_AWREADY	O	
S_AXI_WDATA	I	
S_AXI_WSTRB	I	
S_AXI_WVALID	I	
S_AXI_WREADY	O	
S_AXI_BRESP	O	
S_AXI_BVALID	O	
S_AXI_BREADY	I	
S_AXI_ARADDR	I	
S_AXI_ARPROT	I	
S_AXI_ARVALID	I	
S_AXI_ARREADY	O	
smt_sync_clk	I	<p>パケット通信「xsync_smt」「d_smt」の基準クロックです。 上記「ACLK」を接続するか、「ACLK」より高い周波数のクロックを接続してください。 パケットに欠落が発生するケースでは、「ACLK」周波数 \leq 「smt_sync_clk」周波数となるようなクロックを接続してください。(Max:100MHz)</p> <p>パケット出力の同期クロック「clk_smt」の周波数は、「smt_sync_clk」の周波数となります。</p>
smt_sync_clk_deg0_40	I	<p>パケット通信「clk_smt」の基準クロックです。 上記「smt_sync_clk」を接続するか、「smt_sync_clk」の位相をシフトさせた信号を接続してください。 詳細は、「2.3 パケット生成 IP の接続」の smt_sync_clk_deg0_40 接続説明部を参照ください。</p>
trresetn (Active-Low)	I	smt_sync_clk 同期リセット信号です。smt_sync_clk に同期したリセットを接続してください。
clk_smt	O	<p>SMT のコネクタに出力するパケット通信の同期クロックです。 パケット生成 IP では、「smt_sync_clk_deg0_40」を反転した信号を出力します。xsync_smt,d_smt とのタイミングを確認し、必要に応じて「smt_sync_clk_deg0_40」に接続する信号の位相をシフトさせてください。 詳細は、「2.3 パケット生成 IP の接続」の smt_sync_clk_deg0_40 接続説明部を参照ください。</p>
xsync_smt (Active-Low)	O	SMT のコネクタに出力するパケット通信の同期信号です。
d_smt[3:0](6 線式使用時) d_smt[1:0](4 線式使用時)	O	SMT のコネクタに出力するパケット通信のパケットデータです。

4 FPGA 内部リソース消費数

下記 FPGA をターゲットデバイスにした場合の、パケット生成論理コンパイル結果（FPGA 内部リソース消費）です。

■Zynq ultrascale+ 「xczu9egffvb1156」

パケット生成論理実装による CLB／Block RAM 消費数

項目	使用数(6 線式)	使用数(4 線式)
消費 CLB LUT 数	160 (0.06%)	176 (0.06%)
消費 CLBRegisters 数	367 (0.07%)	366 (0.07%)
消費 BlockRAM 数	RAMB36=1(0.11%) RAMB18=1(0.05%)	RAMB36=1(0.11%) RAMB18=1(0.05%)

※表中の()内の値は、上記 FPGA デバイスに対しての消費率です。ご使用になる FPGA デバイスにより変わります。